

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 52-075981
(43)Date of publication of application : 25.06.1977

(51)Int. Cl.

H01L 23/12
H01L 25/04

(21)Application number : 50-151820

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.12.1975

(72)Inventor : TAJIMA ZENZO
HATANO KUNIO

(54) MULTICHIP DEVICE

(57)Abstract:

PURPOSE: A multichip device is obtained by three-dimensionally stacking of the memory elements packaged to a film carrier.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

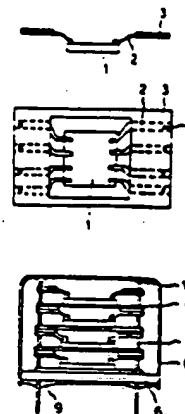
Copyright (C); 1998,2000 Japan Patent Office

(54) MULTICHIP DEVICE

(11) Kokai No. 52-75981 (43) 6.25.1977 (21) Appl. No. 50-151820
(22) 12.22.1975
(71) HITACHI SEISAKUSHO K.K.
(72) ZENZO TAJIMA (1)
(52) JPC: 99(5)C21:99(5)H0
(51) Int. Cl. H01L23/12, H01L25/04

PURPOSE: A multichip device is obtained by three-dimensionally stacking of the memory elements packaged to a film carrier.

CONSTITUTION: A semiconductor element 1 is connected to a film carrier 3 having copper leads 2. A layer which is bondable by soldering is beforehand evaporated on the rear of the semiconductor element 1 and the element 1 is connected to metal of good thermal conductivity, for example, a plate 4 of copper. The film carriers 3 are subsequently stacked by positioning the holes 5 provided at their ends onto the leads 7 fixed on a ceramic substrate 6 and the copper plates 4 are connected to the leads 7, after which a cap 8 is put on. With such arrangement, the heat generated in the chips flow through the leads 7 to the cap, whereby the dissipation of the heat is improved.





10

特許庁 (特許法第8条第1項第2号の規定による特許出願)

50 12 22

特許庁長官殿

発明の名称

マルチタップデバイス

特許請求の範囲に記載された発明の教：2

発明者

千葉県茂原市早野3300番地
株式会社日立製作所 茂原工場内
田嶋 博 造

特許出願人

東京都千代田区丸の内一丁目5番1号
株式会社日立製作所
吉 山 博 吉

代理人

東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内
電話東京 270-2111 (大代表)
澤 田 利 幸

50 151820

明 細 書

発明の名称 マルチタップデバイス

特許請求の範囲

1. 半導体素子をフィルムキャリアに接続した後、これを3次元的に接続したことを特徴とするマルチタップデバイス。
2. 特許請求の範囲第1項に記載されたマルチタップデバイスにおいて、放熱効果を増すために半導体素子の裏面に熱伝導の良い金属板と接続し、この金属板とリードとを接続して放熱路を形成したことを特徴とするマルチタップデバイス。

発明の詳細な説明

近年、半導体メモリの発達は著しく、現在では4096ビットRAMが実用化の段階にはいつている。今後とも集積度は更に向上していくことが考えられる。このような半導体メモリデバイスの集積度を向上させるためには、単一チップ内の集積度を上げる方法と、複数個のチップを1デバイス内に実装するいわゆるマルチタップデバイスの

⑨ 日本国特許庁

公開特許公報

①特開昭 52-75981

③公開日 昭52.(1977) 6.25

②特願昭 50-151820

④出願日 昭40.(1974) 12.22

審査請求 未請求 (全3頁)

庁内整理番号

6513 37
6513 57

⑤日本分類

795K21
795H0

⑤Int.Cl?

H01L 23/12
H01L 25/04識別
記号

方法がある。

同一のプロセス技術で考える場合、マルチタップデバイスの方がチップサイズは小さくても良く、スピード的にもコスト的にも有利である。

マルチタップ半導体メモリデバイスとしては、IBM社が2048ビット×4チップ1デバイスを実用化しているのは周知の事実である。

マルチタップデバイスを作るにあつて重要なことは、デバイスの不良率がチップの不良率のρ乗(ρ:チップ搭載数)で示されることである。それ故に、半導体素子をチップの状態で完全に性能試験をすることが要求される。現状においては、半導体メモリ素子の素子段階での完全な性能試験は困難である。このような状況において、最近フィルムキャリア方式という新しい実装法が脚光を浴びている。これは半導体素子を銅リードが形成されたテープキャリア上に接続するものである。半導体素子段階ではプローブという計測による測定しかできず、実働的な動作試験が困難であつたが、フィルムキャリア方式では銅リードを用いること

により、交換動作試験が容易となつた。このことはマルテナツプデバイスを作る上において、素子の選別を容易に行なえることが可能となり非常に有効な手段となる。

この方式を用いて、セラミック多層—基板上に多数個の素子を搭載したマルテナツプデバイスについては既に報告があるが、素子間の配線にはセラミック多層—基板を必要とするため、配線容量の増大および配線間のクロストークによる雑音の問題、更には多層—配線基板の価格の問題など、実用化には問題点が多い。また、平面的に素子を実装するため、大幅な高密度実装は困難である。

本発明の第1の目的はフィルムキャリアに実装した半導体メモリ素子を三次元的にスタッキングすることによりマルテナツプデバイスを作るものである。第2の目的は半導体メモリ素子の片面を銅板のような熱伝導率の良い金属板に接脱してフィルムキャリアのみでは機械的保持が困難であるための補強と、半導体素子の発熱による熱をこの

- 3 -

いるリード7は熱伝導性の良いペースト10を用いてキャップと接続される。これにより、チップより発生した熱はリード7を介してキャップ8に流れ、キャップ8を放熱板とすることによりきわめて高放熱のよいデバイスとなる優れた効果を有する。

図面の簡単な説明

第1図(a)(b)はフィルムキャリア実装構造の断面図および正面図、第2図はマルテナツプデバイスの断面図である。

1・・・半導体素子、2・・・銅リード、3・・・フィルムキャリア、4・・・銅板、5・・・穴、6・・・セラミック基板、7・・・リード、8・・・キャップ、9・・・樹脂、10・・・ペースト。

代理人 井野士 澤 田 利 幸

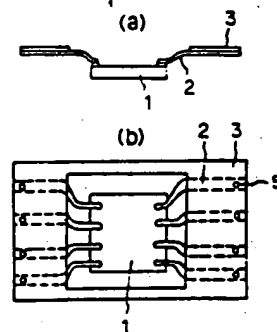
特開 昭52- 75381 (2)

金属板を通して通がせうとするものである。

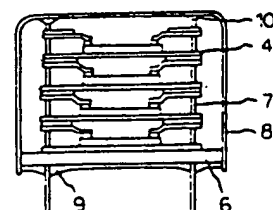
以下本発明による実施例を用いて詳細に説明する。第1図(a)(b)は本発明による一例を示すものであり、半導体素子1をフィルムキャリアに実装する方法は既に公開されている方法のどれをこつても良いが、まず半導体素子1をフィルムキャリア3に接続する。図いて、半導体素子1の裏面に予め半田接合可能な層——(例 Ni-0r-Au)を蒸着しておき、銅板4上に半田メッキされた所定の場所に半導体素子1をリフロー接続する。次に、銅リードの端に前もつてあけられた穴5を第2図に示すようにセラミック基板6上に固定されたリード7に差し、次々とスタッキングしていく。スタッキングが終れば熱処理を加えることにより、予めメッキされているリード上の半田によつてフィルムキャリアの銅リード2とセラミック基板6上のリード7は機械的にも、電気的にも接続される。スタッキングが終つたのち、アルミ製のキャップ8をかぶせて裏面より樹脂9(例えばRTV-00)により封じる。なお、銅板4と接続して

- 4 -

第1図



第2図



添附書類の目録

- (1) 明 書 1部
- (2) 図 面 1巻
- (3) 特 許 証 1部
- (4) 特 許 費 領 受 書 1部

前記以外の発明者 ~~特許出願人または代理人~~

発 明 者

〒580 千葉県成田市早野3300番地
 株式会社日立製作所 成原工場内
 波多野 邦 雄

19. Japan Patent Office, Laid-open Patent Application Gazette
11. Laid-open Patent Application No. Sho 52-75981
43. Disclosure Date: June 25, 1977
21. Application No. Sho 50-151820
22. Application Date: December 22, 1975
Examination: Not requested (total 3 pages)

Agency Control No.: 6513 37, 6513, 57

52. Japan Class: 99(5)C21, 99(5)H0
51. International Class²: H01L 23/12, H01L 25/04

PATENT APPLICATION

Date: December 22, 1975
To: Commissioner, Japan Patent Office
Title of Invention: Multi-chip Device
Number of Inventions Cited in Claims: 2

Inventor: Zensou Tajima, Hitachi Sobara Plant, No. 3300 Hayano, Sobara City, Chiba Prefecture
Inventor: Kunio Hatano, Hitachi Sobara Plant, No. 3300 Hayano, Sobara City, Chiba Prefecture

Applicant: Hitachi, Ltd., 1-5-1 Marunouchi, Chiyoda-ku, Tokyo (510)
Representative: Hiroshi Yoshiyama

Agent: Toshiko Usuda (7237), Hitachi, Ltd., 1-5-1 Marunouchi, Chiyoda-ku, Tokyo (510)
Phone: 270-2111

SPECIFICATION

TITLE OF INVENTION
Multi-chip Device

CLAIMS

1. A multi-chip device, wherein a semiconductor element is connected to a film carrier, and then this is connected three-dimensionally.
2. The multi-chip device recited in claim 1, wherein a metal plate with good heat conductivity is connected to the back of the semiconductor element in order to increase the heat radiation effect, and this metal plate and a lead are connected and a heat radiation path is formed.

DETAILED EXPLANATION OF THE INVENTION

In recent years the development of semiconductor memories has been dramatic; we have now reached the stage of implementing 4096 bit RAMs. In the future we can expect to see even higher levels of integration. In order to increase the level of integration in this sort of semiconductor memory device, there is the method of increasing the level of integration within a

single chip and the method of mounting a plurality of chips within one device, the so-called multi-chip device.

If we consider [working] within the same process technology, the multi-chip device alternative is good because of small chip size, and also has advantages with regard to speed and cost.

A known multi-chip semiconductor memory device that has been practiced is IBM's single device that is 2048 bits \times 4 chips.

An important factor in making a multi-chip device is that the device failure rate is a multiple n of the chip failure rate (n : number of chips installed). Therefore it is necessary to test semiconductor elements to see if they perform perfectly in a chip state. At present, it is difficult to do a complete performance test at the element level of a semiconductor memory device. Given this state of affairs, a new packaging method, known as the film carrier method, is now attracting attention. This is a method in which a semiconductor element is connected to a tape carrier formed with copper leads. At the semiconductor element stage, measurement can only be performed using a needle known as a probe, and alternating-current operational testing is difficult, but the film carrier method uses copper leads, so alternating-current operational testing becomes easy. This makes it possible to easily select elements when manufacturing a multi-chip device, and makes it a very effective method.

There have already been reports regarding multi-chip devices that mount a plurality of semiconductor elements on ceramic multi-layer substrates using this method, but a ceramic multi-layer substrate is needed for inter-element wiring, so there are many practical problems, such as increase in wiring volume, noise created by inter-wire crosstalk, the cost of the ceramic multi-layer substrate, etc. Also, elements are mounted in a plane, so it is difficult to achieve very high packaging density.

The first object of the present invention is to make a multi-chip device by three-dimensionally stacking semiconductor memory elements mounted on film carriers. The second object of the present invention is to connect the back of the semiconductor memory element to a metal plate with good heat conductivity such as a copper plate, thus providing reinforcement and mechanical support that is difficult to achieve with just a film carrier and drawing off the heat generated by the semiconductor element through the metal plate.

Below we shall explain in detail using an embodiment in accordance with the present invention. FIGS. 1(a) and (b) show an example in accordance with the present invention. Any previously disclosed method of mounting one semiconductor element on a film carrier may be used; first a semiconductor element 1 is connected to a film carrier 3. A solderable layer (for example, Ni-Cr-Au) is vapor deposited on the back of the semiconductor element 1 in advance, and then the semiconductor element 1 is reflow connected at a prescribed solder-plated location on a copper plate 4. Next, a hole 5 that is opened in advance in the end of the tape lead is passed over a lead 7 secured to a ceramic substrate 6 as shown in FIG. 2, and one by one they are stacked. When stacking ends, a heat treatment is applied, thereby mechanically and electrically connecting the film carrier's copper lead 2 and the ceramic substrate 6's lead 7 by means of solder plated on the leads in advance. After stacking ends, an aluminum cap 8 is put on and is sealed from the rear with a resin 9 (for example, RTV-60). Furthermore, the lead 7 connected to the copper plate 4 is connected to the cap using a paste 10 with good heat conductivity. As a result, heat generated by the chip flows through the lead 7 to the cap 8; making the cap 8 a heat radiating plate has the excellent effect of producing a device with very good heat radiation.

BRIEF DESCRIPTION OF THE DRAWINGS

FIGS. 1(a) and (b) are a sectional view and a plan view of a film carrier mounting structure. FIG. 2 is a sectional view of a multi-chip device.

- 1 Semiconductor element
- 2 Copper lead
- 3 Film carrier
- 4 Copper plate
- 5 Hole
- 6 Ceramic substrate
- 7 Lead
- 8 Cap
- 9 Resin
- 10 Paste

FIG. 1(a) (b)

FIG. 2

List of Items Attached

- (1) Specification, 1
- (2) Drawings, 1
- (3) Power of attorney, 1
- (4) Copy of patent application, 1



10

特 許 願 (特許法第8条ただし書の規定による特許出願)

昭和50年12月22日

特許庁長官殿

発明の名称

マルチチップデバイス

特許請求の範囲に記載された発明の教：2

発明者

千葉県茂原市早野3300番地
株式会社日立製作所茂原工場内
田嶋 善 造

(第1頁)

特許出願人

東京都千代田区丸の内一丁目5番1号
株式会社日立製作所
代表者 吉 山 博 吉

代理人

東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内
電話東京 270-2111 (大代表)
〒100 千代田 利 幸

50 151820

明 細 書

発明の名称 マルチチップデバイス

特許請求の範囲

1. 半導体素子をフィルムキャリアに接続した後、これを3次元的に接続したことを特徴とするマルチチップデバイス。
2. 特許請求の範囲第1項に記載されたマルチチップデバイスにおいて、放熱効果を増すために半導体素子の裏面に熱伝導の良い金属板と接続し、この金属板とリードとを接続して放熱路を形成したことを特徴とするマルチチップデバイス。

発明の詳細な説明

近年、半導体メモリの発展は著しく、現在では4096ビットRAMが実用化の段階にはいつている。今後とも集積度は更に向上していくことが考えられる。このような半導体メモリデバイスの集積度を向上させるためには、単一チップ内の集積度を上げる方法と、複数個のチップを1デバイス内に実装するいわゆるマルチチップデバイスの

①9 日本国特許庁

公開特許公報

①特開昭 52-75981

④公開日 昭52.(1977) 6.25

②特願昭 50-151820

②出願日 昭50.(1977) 12.22

審査請求 未請求 (全3頁)

庁内整理番号

6513 37
6513 57

⑤2日本分類

995K21
995H0

⑤1 Int. Cl?

H01L 23/12
H01L 25/04

識別
記号

方法がある。

同一のプロセス技術で考える場合、マルチチップデバイスの方がチップサイズは小さくても良く、スピード的にもコスト的にも有利である。

マルチチップ半導体メモリデバイスとしては、IBM社が2048ビット×4チップ1デバイスを実用化しているのは周知の事実である。

マルチチップデバイスを作るにあたって重要なことは、デバイスの不良率がチップの不良率のロ乗(ロ：チップ搭載数)で示されることである。それ故に、半導体素子をチップの状態で完全に性能試験をすることが要求される。現状においては、半導体メモリ素子の素子段階での完全な性能試験は困難である。このような実状において、最近フィルムキャリア方式という新しい実装法が脚光をあびている。これは半導体素子を銅リードが形成されたテープキャリア上に接続するものである。半導体素子段階ではブローバという針による測定しかできず、交流的な動作試験が困難であつたが、フィルムキャリア方式では銅リードを用いること

により、交流動作試験が容易となつた。このことはマルチチップデバイスを作る上において、素子の選別を容易に行なえることが可能となり非常に有効な手法となる。

この方式を用いて、セラミック多層基板上に複数個の素子を搭載したマルチチップデバイスについては既に報告があるが、素子間の配線にはセラミック多層基板を必要とするため、配線容量の増大および配線間のクロストークによる雑音の問題、更には多層配線基板の価格の問題など、実用化には問題点が多い。また、平面的に素子を実装するため、大幅な高密度実装は困難である。

本発明の第1の目的はフィルムキャリアに実装した半導体メモリ素子を三次元的にスタッキングすることによりマルチチップデバイスを作るものである。第2の目的は半導体メモリ素子の表面を銅板のような熱伝導率の良い金属板に接続してフィルムキャリアのみでは機械的保持が困難であるための補強と、半導体素子の発熱による熱をこの

- 3 -

いるリード7は熱伝導性の良いペースト10を用いてキャップと接続される。これにより、チップより発生した熱はリード7を介してキャップ8に流れ、キャップ8を放熱板とすることによりきわめて熱放散のよいデバイスとなる優れた効果を有する。

図面の簡単な説明

第1図(a)(b)はフィルムキャリア実装構造の断面図および正面図、第2図はマルチチップデバイスの断面図である。

1・・・半導体素子、2・・・銅リード、3・・・フィルムキャリア、4・・・銅板、5・・・穴、6・・・セラミック基板、7・・・リード、8・・・キャップ、9・・・樹脂、10・・・ペースト。

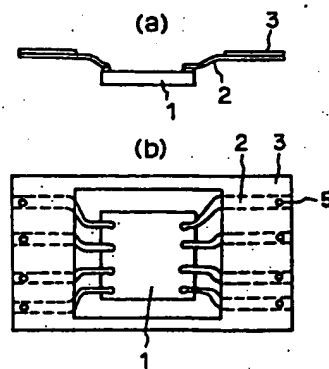
代理人 弁理士 藤 田 利 幸

金属板を通して逃がそうとするものである。

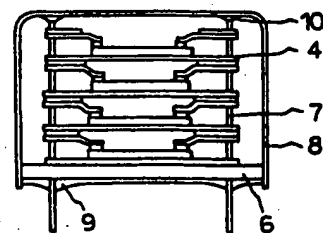
以下本発明による実施例を用いて詳細に説明する。第1図(a)(b)は本発明による一例を示すものであり、半導体素子1をフィルムキャリア3に実装する方法は既に公開されている方法のどれをとつても良いが、まず半導体素子1をフィルムキャリア3に接続する。続いて、半導体素子1の表面に予め半田接合可能な層（例 Ni-Or-Au）を蒸着しておき、銅板4上に半田メッキされた所定の個所に半導体素子1をリフロー接続する。次に、テープリードの端に前もつてあけられた穴5を第2図に示すようにセラミック基板6上に固定されたリード7に通し、次々とスタッキングしていく。スタッキングが終れば熱処理を加えることにより、予めメッキされているリード上の半田によつてフィルムキャリアの銅リード2とセラミック基板6上のリード7は機械的にも、電気的にも接続される。スタッキングが終つたのち、アルミ製のキャップ8をかぶせて裏面より樹脂9（例えばRTV-60）により封じる。なお、銅板4と接続して

- 4 -

第1図



第2図



添附書類の目録

- (1) 明 細 図 1通
- (2) 図 面 1通
- (3) 要 任 状 1通
- (4) 特 許 願 出 本 1通

前記以外の発明者 ~~特許出願人または代理人~~

発 明 者

住 所 千葉県 千葉市 早野 3300 番地
カブシキガイシャ ヒタチ セイゴザシヨウ モトハラコウジヤウ
氏 名 株式会社 日立製作所 茂原工場内
波 多 野 邦 雄

公開特許公報

① 特開昭 52-75981

④ 公開日 昭 52. (1977) 6. 25

② 特願昭 50-151820

② 出願日 昭 50. (1975) 12. 22

審査請求 未請求 (全3頁)

庁内整理番号

6513 37
6513 57

⑤ 日本分類

995K21
995H0

⑥ Int. Cl²

H01L 23/12
H01L 25/04

識別
記号

方法がある。

同一のプロセス技術で考える場合、マルチチップデバイスの方がチップサイズは小さくても良く、スピード的にもコスト的にも有利である。

マルチチップ半導体メモリデバイスとしては、IBM社が2048ビット×4チップ1デバイスを実用化しているのは周知の事実である。

マルチチップデバイスを作るにあつて重要なことは、デバイスの不良率がチップの不良率のρ乗(ρ:チップ搭載数)で示されることである。それ故に、半導体素子をチップの状態で完全に性能試験をすることが要求される。現状においては、半導体メモリ素子の素子段階での完全な性能試験は困難である。このような実状において、最近フィルムキャリア方式という新しい実装法が脚光をあびている。これは半導体素子を銅リードが形成されたテープキャリア上に接続するものである。半導体素子段階ではプローブという針による測定しかできず、交流的な動作試験が困難であつたが、フィルムキャリア方式では銅リードを用いること



10

特 許 願 (特許法第88条ただし
の規定による特許出願)

昭和 50 年 12 月 22 日

特許庁長官 殿

発 明 の 名 称 マルチチップデバイス

特許請求の範囲に記載された発明の教: 2

発 明 者

千葉原茂 原市早野3300番地
株式会社日立製作所 茂原工場内
田 嶋 善 造

(印 1 6)

特 許 出 願 人

東京都千代田区丸の内一丁目5番1号
株式会社日立製作所
代 理 人 吉 山 博 吉

代 理 人

東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内
電話東京 270-2111 (大代表)
薄 田 利 幸

明 細 書

発明の名称 マルチチップデバイス

特許請求の範囲

1. 半導体素子をフィルムキャリアに接続した後、これを3次元的に接続したことを特徴とするマルチチップデバイス。
2. 特許請求の範囲第1項に記載されたマルチチップデバイスにおいて、放熱効果を増すために半導体素子の裏面に熱伝導の良い金属板と接続し、この金属板とリードとを接続して放熱路を形成したことを特徴とするマルチチップデバイス。

発明の詳細な説明

近年、半導体メモリの発展は著しく、現在では4096ビットRAMが実用化の段階にはいつている。今後とも集積度は更に向上していくことが考えられる。このような半導体メモリデバイスの集積度を向上させるためには、単一チップ内の集積度を上げる方法と、複数個のチップを1デバイス内に実装するいわゆるマルチチップデバイスの

により、交流動作試験が容易となつた。このことはマルチチップデバイスを作る上において、素子の選別を容易に行なえることが可能となり非常に有効な手法となる。

この方式を用いて、セラミック多層基板上に複数個の素子を搭載したマルチチップデバイスについては既に報告があるが、素子間の配線にはセラミック多層基板を必要とするため、配線容量の増大および配線間のクロストークによる雑音の問題、更には多層配線基板の価格の問題など、実用化には問題点が多い。また、平面的に素子を実装するため、大幅な高密度実装は困難である。

本発明の第1の目的はフィルムキャリアに実装した半導体メモリ素子を三次元的にスタッキングすることによりマルチチップデバイスを作るものである。第2の目的は半導体メモリ素子の裏面を銅板のような熱伝導率の良い金属板に接続してフィルムキャリアのみでは機械的保持が困難であるための補強と、半導体素子の発熱による熱をこの

- 3 -

いるリード7は熱伝導性の良いペースト10を用いてキャップと接続される。これにより、チップより発生した熱はリード7を介してキャップ8に流れ、キャップ8を放熱板とすることによりきわめて熱放散のよいデバイスとなる優れた効果を有する。

図面の簡単な説明

第1図(a)(b)はフィルムキャリア実装構造の断面図および正面図、第2図はマルチチップデバイスの断面図である。

1・・・半導体素子、2・・・銅リード、3・・・フィルムキャリア、4・・・銅板、5・・・穴、6・・・セラミック基板、7・・・リード、8・・・キャップ、9・・・樹脂、10・・・ペースト。

代理人 弁理士 薄 田 利 幸

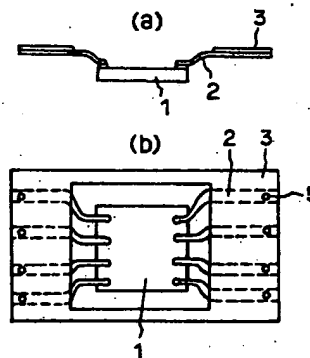
- 5 -

金属板を通して逃がそうとするものである。

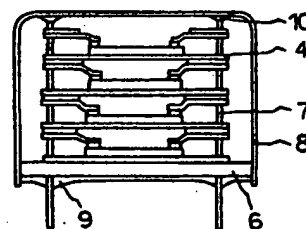
以下本発明による実施例を用いて詳細に説明する。第1図(a)(b)は本発明による一例を示すものであり、半導体素子1をフィルムキャリアに実装する方法は既に公開されている方法のどれをとつても良いが、まず半導体素子1をフィルムキャリア3に接続する。続いて、半導体素子1の裏面に予め半田接合可能な層（例 Ni-Or-Au）を蒸着しておき、銅板4上に半田メッキされた所定の個所に半導体素子1をリフロー接続する。次に、テーブルードの端に前もつてあけられた穴5を第2図に示すようにセラミック基板6上に固定されたリード7に通し、次々とスタッキングしていく。スタッキングが終れば熱処理を加えることにより、予めメッキされているリード上の半田によつてフィルムキャリアの銅リード2とセラミック基板6上のリード7は機械的にも、電気的にも接続される。スタッキングが終つたのち、アルミ製のキャップ8をかぶせて裏面より樹脂9（例えばRTV-60）により封じる。なお、銅板4と接続して

- 4 -

第1図



第2図



添附 類の目録

- (1) 明 細 書 1通
- (2) 図 面 1通
- (3) 参 任 状 1通
- (4) 特 許 願 書 本 1通

前記以外の発明者 ~~一特許出願人または代理人~~

発 明 者

住 所 ^{チバケンモバラシヘヤノ} 千葉県茂原市早野3300番地 ^{パンチ}
^{ヨブレキガイレイヤヒナチキイサダレヨ} 株式会社日立製作所茂原工場内
 氏 名 ^{ハタノ} 波多野 ^{クニ} 邦 ^オ 雄